

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002007203 A**

(43) Date of publication of application: **11.01.02**

(51) Int. Cl.

G06F 12/00
G06F 12/02

(21) Application number: **2000182983**

(71) Applicant: **BROTHER IND LTD**

(22) Date of filing: **19.06.00**

(72) Inventor: **OKAMOTO HISANORI**

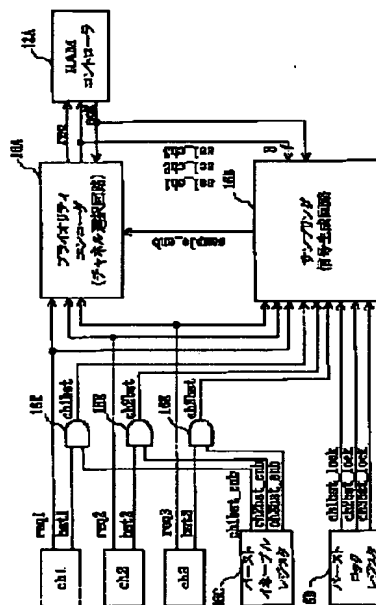
**(54) MEMORY ACCESS CONTROLLER AND
STORAGE MEDIUM**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a memory access controller which can skillfully rearrange access memories without lowering access efficiency, even if access requests are generated at a time.

SOLUTION: This memory access controller has a priority encoder 16A, which arbitrates requests to access a RAM according to the priority and indicates the request contents to a RAM controller 12A and complies with a burst access request; and a sampling signal generating circuit 16B decides whether the arbitrating operation of the priority encoder 16A is enabled or disabled according to the bits of registers 16C and 16D, when another access request is generated during burst access operation corresponding to the burst access request.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-7203

(P2002-7203A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl.⁷G 0 6 F 12/00
12/02

識別記号

5 7 1
5 8 0

F I

G 0 6 F 12/00
12/02

テ-マコ-ト*(参考)

5 7 1 B 5 B 0 6 0
5 8 0 J

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号 特願2000-182983(P2000-182983)

(22)出願日 平成12年6月19日(2000.6.19)

(71)出願人 000005267

ブラザー工業株式会社

愛知県名古屋市瑞穂区苗代町15番1号

(72)発明者 岡本 久範

名古屋市瑞穂区苗代町15番1号 ブラザー
工業株式会社内

(74)代理人 100086380

弁理士 吉田 稔 (外2名)

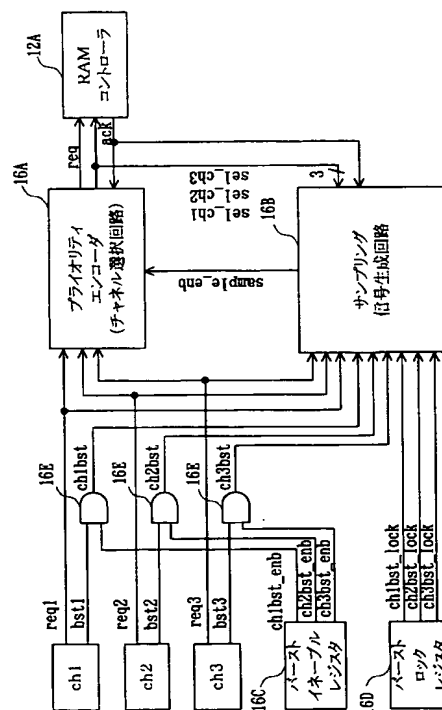
Fターム(参考) 5B060 CD14

(54)【発明の名称】 メモリアクセス制御装置および記憶媒体

(57)【要約】

【課題】 アクセスリクエストが重複して発生してもアクセス効率を低下させることなく、複数のアクセスリクエストを巧みに整理することができるメモリアクセス制御装置を提供する。

【解決手段】 RAMに対する複数のアクセスリクエストを、優先順位の高い順に調停し、リクエスト内容をRAMコントローラ12Aに指示するプライオリティエンコーダ16Aを有し、バーストアクセスリクエストに対応するメモリアクセス制御装置であって、サンプリング信号生成回路16Bは、バーストアクセスリクエストに応じたバーストアクセス動作中に他のアクセスリクエストが発生したとき、プライオリティエンコーダ16Aによる調停動作を可とするか不可とするかを各レジスタ16C、16Dのビットに応じて切り替える。



【特許請求の範囲】

【請求項1】 メモリに対する複数のアクセスリクエストを、優先順位の高い順に調停し、上記メモリに対してリクエスト内容を指示するリクエスト調停手段を有し、バーストアクセスリクエストに対応するメモリアクセス制御装置であって、

上記バーストアクセスリクエストに応じたバーストアクセス動作中に他のアクセスリクエストが発生したときに、上記リクエスト調停手段による調停動作を可とするか不可とするかを切り替える切替手段を有することを特徴とするメモリアクセス制御装置。

【請求項2】 上記切替手段は、各ビットが各チャンネルに対応する複数ビットのバーストロックレジスタを有し、

上記バーストロックレジスタのいずれか1以上のビットが、上記リクエスト調停手段による調停動作を不可とするように設定されている場合、それら1以上のビットに対応するチャンネルのうちのいずれか1以上のチャンネルからバーストアクセスリクエストが発生し、そのチャンネルが選択されている期間中、上記リクエスト調停手段による調停動作を不可とする、請求項1に記載のメモリアクセス制御装置。

【請求項3】 上記切替手段は、各ビットが各チャンネルに対応する複数ビットのバーストイネーブルレジスタを有し、

上記バーストイネーブルレジスタのいずれか1以上のビットが、対応するチャンネルのバースト信号をマスクするように設定されている場合、それら1以上のビットに対応するチャンネルのバースト信号がマスクされ、上記リクエスト調停手段による調停動作を可とする構成とした、請求項1または2に記載のメモリアクセス制御装置。

【請求項4】 メモリに対する複数のアクセスリクエストを、優先順位の高い順に調停し、上記メモリに対してリクエスト内容を指示するリクエスト調停手段を有し、バーストアクセスリクエストに対応するメモリアクセス制御装置を制御するためのプログラムを記憶した記憶媒体であって、

上記バーストアクセスリクエストに応じたバーストアクセス動作中に他のアクセスリクエストが発生したときに、上記リクエスト調停手段による調停動作を可とするか不可とするかを切り替えるための切替プログラムを含むプログラムを記憶したことを特徴とする記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリに対するアクセスリクエストとして、いわゆるバーストアクセスリクエストに対応するメモリアクセス制御装置、およびそのメモリアクセス制御装置を制御するためのプログラムを記憶した記憶媒体に関する。

【0002】

【従来の技術】 たとえば、画像読取装置では、イメージセンサより順次得られた読取データをDRAMなどのメモリを介して画像処理する際、画像処理速度を向上するためにメモリのリード／ライト動作として、いわゆるバーストアクセスが実現されている。このバーストアクセスとは、行およびカラムからなるメモリアレイに対し、たとえば1つの行アドレスを1回指定するだけで、同じ行アドレスのデータに関して1クロックでアクセスできることを言う。

【0003】 このようなバーストアクセスは、メモリに対して読取部などから直接バーストアクセスリクエストとして要求されるが、バーストアクセスリクエスト以外にもメモリに対するアクセスリクエストがある。そして、アクセスリクエストには、他のアクセスリクエストに先んじて割り込むべきものもあり、そのため、複数のアクセスリクエストについて、優先順位の高い順に調停してリクエスト内容をメモリに対して指示するメモリアクセス制御回路が実現されている。

【0004】

【発明が解決しようとする課題】 ここで、バーストアクセスリクエストとそれ以外のアクセスリクエストが混在する場合を考えると、メモリアクセス制御回路は、バーストアクセス中であっても他のアクセスリクエストの優先順位が高いと、それに応じたリード／ライト動作を割り込ませるべくメモリに対して指示する。つまり、バーストアクセスによっては、リード／ライト動作を瞬時に終えて次のアクセスに移行できるものであっても、メモリアクセス制御回路は、優先順位に従ってアクセスリクエストを調停するので、バーストアクセスが中断してメモリとの間で効率良くデータが転送されないおそれがあった。

【0005】 一方、低優先順位のバーストアクセス中に高優先順位のアクセスリクエストが発生した場合、その高優先順位のアクセスリクエストをバーストアクセスが終わるまで待たすことも考えられるが、そうすると、画像処理などのようにリアルタイム性が要求される高優先順位のアクセスリクエストによっては、システムに破綻をきたしてしまうおそれもあった。

【0006】 たとえば、カラー画像読取装置からの画像信号を処理する場合、解像度によって、バーストアクセスが非常に効率的であったり、非効率的であったりする。このような場合、他のアクセスリクエストによってバーストアクセスを中断させるか否か任意に選択できれば、非常に好都合である。

【0007】 本発明は、上記の点に鑑みて提案されたものであって、バーストアクセスリクエストに応じたアクセス動作中、それ以外のアクセスリクエストが発生してもアクセス効率の低下やシステムの破綻を招くことなく、複数のアクセスリクエストを巧みに調停することができるメモリアクセス制御装置、およびそのメモリア

セス制御装置を制御するためのプログラムを記憶した記憶媒体を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載した発明のメモリアクセス制御装置は、メモリに対する複数のアクセスリクエストを、優先順位の高い順に調停し、上記メモリに対してリクエスト内容を指示するリクエスト調停手段を有し、バーストアクセスリクエストに対応するメモリアクセス制御装置であって、上記バーストアクセスリクエストに応じたバーストアクセス動作中に他のアクセスリクエストが発生したときに、上記リクエスト調停手段による調停動作を可とするか不可とするかを切り替える切替手段を有することを特徴とする。

【0009】このようなメモリアクセス制御装置によれば、バーストアクセスリクエストに応じてバーストアクセス動作中、他のアクセスリクエストが発生したときには、アクセスリクエストの調停動作を可とするか不可とするかの切り替えに応じて、バーストアクセス動作を優先させるか否かを任意に切り替えることができる。したがって、ある制御条件下においては、バーストアクセス動作中に、それよりも高優先順位のアクセスリクエストがあっても、バーストアクセスによる高速動作をそのまま続行させることもでき、また、別の制御条件下においては、バーストアクセス動作中に、それよりも高優先順位のアクセスリクエストがあれば、バーストアクセス動作を中止して、高優先順位のアクセスリクエストを割り込ませることもでき、メモリに対するアクセス効率の低下やシステムの破綻を招くことなく、複数のアクセスリクエストを巧みに調停することができる。

【0010】また、請求項2に記載した発明のメモリアクセス制御装置は、請求項1に記載のメモリアクセス制御装置であって、上記切替手段は、各ビットが各チャネルに対応する複数ビットのバーストロックレジスタを有し、上記バーストロックレジスタのいずれか1以上のビットが、上記リクエスト調停手段による調停動作を不可とするように設定されている場合、それら1以上のビットに対応するチャネルのうちのいずれか1以上のチャネルからバーストアクセスリクエストが発生し、そのチャネルが選択されている期間中、上記リクエスト調停手段による調停動作を不可とする。

【0011】このようなメモリアクセス制御装置によれば、請求項1に記載のメモリアクセス制御装置による効果に加えて、バーストロックレジスタのビットに応じて、バーストアクセス動作中に他のアクセスリクエストによるアクセス動作を割り込ませるべきか否かを決定することができる。

【0012】さらに、請求項3に記載した発明のメモリアクセス制御装置は、請求項1または2に記載のメモリアクセス制御装置であって、上記切替手段は、各ビット

が各チャネルに対応する複数ビットのバーストイネーブルレジスタを有し、上記バーストイネーブルレジスタのいずれか1以上のビットが、対応するチャネルのバースト信号をマスクするように設定されている場合、それら1以上のビットに対応するチャネルのバースト信号がマスクされ、上記リクエスト調停手段による調停動作を可とする構成とする。

【0013】このようなメモリアクセス制御装置によれば、請求項1または2に記載のメモリアクセス制御装置による効果に加えて、バースト信号をマスクするように設定できるバーストイネーブルレジスタのビットに応じて、バーストアクセス動作中に他のアクセスリクエストによるアクセス動作を割り込ませるべきか否かを決定することができる。しかも、バースト信号をマスクするように設定されたチャネルについては、バーストアクセスリクエストがあっても、シングルアクセスとして処理させるようにすることができるので、他のチャネルからのアクセスリクエストを優先的に割り込ませることが可能となる。

【0014】また、請求項4に記載した発明の記憶媒体は、メモリに対する複数のアクセスリクエストを、優先順位の高い順に調停し、上記メモリに対してリクエスト内容を指示するリクエスト調停手段を有し、バーストアクセスリクエストに対応するメモリアクセス制御装置を制御するためのプログラムを記憶した記憶媒体であって、上記バーストアクセスリクエストに応じたバーストアクセス動作中に他のアクセスリクエストが発生したときに、上記リクエスト調停手段による調停動作を可とするか不可とするかを切り替えるための切替プログラムを含むプログラムを記憶したことを特徴とする。

【0015】このような記憶媒体によれば、記憶されたプログラムに基づいてCPUを動作させることにより、請求項1に記載のメモリアクセス制御装置の動作を実現することができる。

【0016】

【発明の実施の形態】以下、本発明の好ましい実施の形態について図面を参照して説明する。

【0017】図1は、本発明に係るメモリアクセス制御装置の一実施形態として、ファクシミリ装置の構成を示したブロック図である。この図に示すように、本発明に係るファクシミリ装置は、CPU10、NCU11、RAM12、モデム13、ROM14、EEPROM15、ゲートアレイ16、コーデック17、DMAC18、読取部21、印刷部22、操作部23、および表示部24などを具備して概略構成されている。CPU10、NCU11、RAM12、モデム13、ROM14、EEPROM15、ゲートアレイ16、コーデック17、およびDMAC18は、バス線27により相互に接続されている。バス線27には、アドレスバス、データバス、および制御信号線が含まれる。ゲートアレイ1

6には、読取部21、印刷部22、操作部23、および表示部24が接続されている。NCU11には、公衆電話回線28が接続されている。

【0018】CPU10は、ファクシミリ装置全体の動作を制御する。NCU11は、公衆電話回線28に接続されて網制御を行う。RAM12は、CPU10の作業領域や各種データの格納領域などを提供するメモリであって、データの読み書きを制御するRAMコントローラや、行およびカラムからなるメモリアレイを有する。このメモリアレイに対してデータを読み書きする際には、通常、後述するアクセスリクエストにより行アドレスおよびカラムアドレスが指定されるが、たとえば1つの行アドレスを1回指定するだけで、同じ行アドレスについての連続データをブロック転送して1クロックで読み書きするといった、いわゆるバーストアクセスも可能である。モデム13は、ファクシミリデータの変調や復調などを行う。ROM14は、CPU10が実行すべきプログラムや設定値などのデータを記憶している。EEPROM15は、各種のフラグや設定データなどを記憶する。ゲートアレイ16は、CPU10と各部21~24とのインターフェースとして機能する一方、各部21~24やCPU10などとRAM12との間でメモリアクセスを制御する機能を備える。コーデック17は、ファクシミリデータの符号化や復号化を行う。DMAC18は、直接RAM12へのデータの書き込みや読み出しを行う。

【0019】読取部21は、イメージセンサや光源などを備え、原稿などから文字や図形などのカラー画像を読み取る。印刷部22は、たとえばインクジェット方式あるいは熱転写方式などにより、文字や図形などのカラー画像を印刷する。操作部23は、テンキーや文字キーなどのキースイッチ群を備え、使用者のキー操作に応じた指示をCPU10に伝える。表示部24は、LCDなどのディスプレイを備え、動作状態や操作ガイダンスなどを表示する。

【0020】要点について説明すると、本ファクシミリ装置は、所定の解像度でイメージセンサより順次得られた画像データに対し、メインメモリとなるRAM12を共用してフィルタ演算などを施しながら画像処理を行うものである。このような画像処理に際しては、RAM12に対する画像データの読み書きを高速としてメモリアクセスタイムを向上するため、先述したようにバーストアクセスが行われる。このようなバーストアクセスは、読取部21から直接バーストアクセスリクエストとして要求されるだけでなく、CPU10などからも要求される。また、アクセスリクエストの発生中に他のアクセスリクエストが発生する場合があります、そのため、本ファクシミリ装置では、これらのアクセスリクエストが複数発生した場合に対処すべく、優先順位の高い順に調停してリクエスト内容をRAM12に対して指示するため

の回路がゲートアレイ16に構築されている。

【0021】図2は、アクセスリクエストを優先順に調停する回路を示したブロック図であって、この図に示すプライオリティエンコーダ16Aは、サンプリング信号生成回路16Bから出力されるサンプリング信号sample_enbに依拠して、複数の機能ch1~ch3より要求されるアクセスリクエストreq1~req3を優先順に調停する（ここでは、一例として、機能ch1の順位が最も高く、ついで、機能ch2の順位が2番目に高く、機能ch3の順位が最も低く設定されている場合について説明するが、これらの優先順位は固定的なものであっても、あるいは、異なる制御条件下において順位が適宜変更されるものであってもよい）といった、いわゆるチャネル選択回路として中心的機能を果たす。サンプリング信号生成回路16Bは、プライオリティエンコーダ16Aによる調停動作を許可する場合、イネーブル信号としてサンプリング信号sample_enbをハイレベルで出力するが、サンプリング信号sample_enbの出力レベルは、バーストイネーブルレジスタ16Cおよびバーストロックレジスタ16Dに設定されたビットch(n)bst_enb, ch(n)bst_lockに依存する。要するに、RAMコントローラ12Aに対してバーストアクセスを要求中には、バーストイネーブルレジスタ16Cやロックレジスタ16Dのビットch(n)bst_enb, ch(n)bst_lockに依拠して、他のアクセスリクエストによる割り込みを禁止するか否かを切り替えることができる。割り込みを禁止する場合には、サンプリング信号生成回路16Bからサンプリング信号sample_enbがローレベルで出力され、プライオリティエンコーダ16Aによる調停動作が不可とされるのである。

【0022】バーストロックレジスタ16Dとは、各機能（チャネル）に対応した複数のビットを有し、各チャネルからアクセスリクエストreq1~req3がある場合、それぞれをバーストアクセスリクエストとして単独動作させるか否かを0, 1のビットch1bst_lock~ch3bst_lockで設定するための置数器である。たとえば、アクセスリクエストreq3がbst3=「1」のバーストアクセスリクエストとして発生中であって、それに対応するバーストロックレジスタ16Dのビットch3bst_lockが「1」に設定された場合、サンプリング信号生成回路16Bからは、サンプリング信号sample_enbがローレベルで出力されることで、プライオリティエンコーダ16Aによる調停動作が禁止される。つまり、この場合には、アクセスリクエストreq3によるバーストアクセスが単独動作とされ、これよりも順位の高い他のアクセスリクエストreq1, req2による割り込みが禁止されるのである。

【0023】逆に、たとえば、アクセスリクエストre

q3がbst3=「1」のバーストアクセスリクエストとして発生中であっても、それに対応するバーストロックレジスタ16Dのビットch3bst_lockが「0」の場合、サンプリング信号生成回路16Bからは、サンプリング信号sample_enbがハイレベルで出力され、プライオリティエンコーダ16Aによる調停動作が許可されることから、これよりも順位の高い他のアクセスリクエストreq1, req2による割り込みが可能とされる。

【0024】一方、バーストイネーブルレジスタ16Cとは、各機能（チャンネル）に対応した複数のビットを有し、各チャンネルからのアクセスリクエストreq1~req3をバーストアクセスリクエストとしてマスクするか否かを0, 1のビットch1bst_enb~ch3bst_enbで設定しておくための置数器である。たとえば、アクセスリクエストreq3に関するbst3=「1」のバーストアクセスリクエストをマスクする場合、バーストイネーブルレジスタ16Cのビットch3bst_enbには、「0」が設定される。そして、そのビットch3bst_enbとバースト信号bst3とが論理積ゲート16Eを介して演算され、ローレベルの出力信号ch3bstがサンプリング信号生成回路16Bに供給される。すると、ch3bst_lockの状態に関わらず、サンプリング信号生成回路16Bからサンプリング信号sample_enbがハイレベルで出力されることで、プライオリティエンコーダ16Aによる調停動作が可とされる。つまり、この場合には、ch3bst_lockが「1」であっても、他のアクセスリクエストreq1, req2による割り込みが許可されるのである。

【0025】逆に、たとえばアクセスリクエストreq3をマスクしない場合、バーストイネーブルレジスタ16Cのビットch3bst_enbには、「1」が設定され、そのビットch3bst_enbとバースト信号bst3とが論理積ゲート16Eを介して演算される結果、バースト信号bst3がそのまま出力信号ch3bstとしてサンプリング信号生成回路16Bに供給される。すると、サンプリング信号生成回路16Bから出力されるサンプリング信号sample_enbのレベルは、ch3bst_lockの状態に依存して決定される。

【0026】なお、図2には図示していないが、プライオリティエンコーダ16Aには、論理積ゲート16Eから出力信号ch1bst~ch3bstが供給されるようになっており、これによって、プライオリティエンコーダ16Aは、各チャンネルからアクセスリクエストreq1~req3があった場合、対応する出力信号ch1bst~ch3bstがローレベルであると、各チャンネルからのアクセス要求がバーストアクセスであったとしても、シングルアクセスとなるように調停動作を行うよ

うになっている。

【0027】すなわち、プライオリティエンコーダ16Aは、メモリ（RAM12）に対する複数のアクセスリクエストを、優先順位の高い順に調停し、メモリに対してリクエスト内容を指示するリクエスト調停手段を実現している。また、バーストイネーブルレジスタ16Cおよびバーストロックレジスタ16Dを含むサンプリング信号生成回路16Bは、バーストアクセスリクエストに応じたバーストアクセス動作中に他のアクセスリクエストが発生したときに、上記リクエスト調停手段による調停動作を可とするか不可とするかを切り替える切替手段を実現している。

【0028】なお、上記の手段は、CPU10の一部機能としても実現することができ、その場合、ROM14は、メモリに対する複数のアクセスリクエストを、優先順位の高い順に調停し、上記メモリに対してリクエスト内容を指示するリクエスト調停手段を有し、バーストアクセスリクエストに対応するメモリアクセス制御装置を制御するためのプログラムを記憶した記憶媒体であって、上記バーストアクセスリクエストに応じたバーストアクセス動作中に他のアクセスリクエストが発生したときに、上記リクエスト調停手段による調停動作を可とするか不可とするかを切り替えるための切替プログラムを含むプログラムを記憶した記憶媒体を実現する。

【0029】さらに詳しく説明するために、サンプリング信号生成回路16Bの構成を図3の回路図に示す。なお、この図においては、主としてバーストロックレジスタ16Dのビットch1bst_lock~ch3bst_lockを処理するための回路を示す。

【0030】図3に示すように、サンプリング信号生成回路16Bは、バーストロックレジスタ16Dの各ビットch1bst_lock~ch3bst_lockに対応するロックフラグ生成部16Ba~16Bc、入力段の論理積ゲート16Bd~16Bf、中段のNORゲート16Bh、論理和ゲート16Bi、ならびに出力段の論理和ゲート16Bjなどを有して構成される。各ロックフラグ生成部16Ba~16Bcには、先述したアクセスリクエストreq1~req3、論理積ゲート16Eの出力信号ch1bst~ch3bst、バーストロックレジスタ16Dのビットch1bst_lock~ch3bst_lockのほか、RAMコントローラ12Aにより選択中のアクセスリクエストに対応したリクエスト選択信号sel_ch1~sel_ch3や、それに対するRAMコントローラ12Aからの応答信号ackが入力される。ロックフラグ生成部16Ba~16Bcは、それぞれフリップフロップを含む論理回路で構成されたものであって、一定周期（図4, 5に波線で示す周期）のクロック信号をもとに所定の演算動作（リクエスト選択信号sel_ch1~sel_ch3と関連したタイミングで、バーストロックされたときには

「1」となり、ロックされないときには「0」となるロックフラグを生成する動作)を行い、その演算結果をロックフラグ`ch1_lock~ch3_lock`として出力する。各ロックフラグ`ch1_lock~ch3_lock`は、中段のNORゲート16Bhに入力される。このNORゲート16Bhの出力端は、出力段の論理和ゲート16Bjの入力端に接続され、出力段の論理和ゲート16Bjからは、出力レベルが0, 1に対応するサンプリング信号`sample_enb`が出力される。

【0031】一方、入力段の各論理積ゲート16Bd~16Bfには、先の論理積ゲート16Eからの出力信号`ch1bst~ch3bst`が反転入力されるほか、リクエスト選択信号`sel_ch1~sel_ch3`および応答信号`ack`が入力される。これらの論理積ゲート16Bd~16Bfの各出力端は、中段の論理和ゲート16Biの入力端に接続されているとともに、この論理和ゲート16Biの出力端は、出力段の論理和ゲート16Bjの入力端に接続されている。つまり、`ch1~ch3`に対応した各ロックフラグ生成部16Ba~16Bcから出力されるロックフラグ`ch1_lock~ch3_lock`がすべて「0」である場合、または、入力段の各論理積ゲート16Bd~16Bfから出力される信号のいずれかが「1」である場合に限り、サンプリング信号`sample_enb`が「1」として出力され、プライオリティエンコーダ16Aによりアクセスリクエスト`req1~req3`が調停される。

【0032】簡単に言えば、バーストロックレジスタ16Dの対応するビット`ch1bst_lock~ch3bst_lock`に「1」が設定されたバーストアクセスリクエスト`req1~req3`については、プライオリティエンコーダ16Aによる調停動作が不可とされ、他のアクセスリクエストによる割り込みが禁止される。逆に「0」が設定されたバーストアクセスリクエスト`req1~req3`については、プライオリティエンコーダ16Aによる調停動作が可能とされ、他のアクセスリクエストによる割り込みが許可されるのである。もちろん、バーストイネーブルレジスタ16Cによってバースト信号`bst1~bst3`のいずれか1以上がマスクされている場合、マスクされたチャネルについては、バーストロックレジスタ16Dに「1」が設定されていても、割り込みが許可されることになる。

【0033】図4および図5は、アクセスリクエスト`req1~req3`を調停する際に入出力される各種信号のタイミングを示したタイムチャートである。なお、各図は、主としてバーストロックレジスタ16Dの各ビット`ch1bst_lock~ch3bst_lock`に応じたタイミングを示し、特に図4は、各ビット`ch1bst_lock~ch3bst_lock`がすべて「1」の場合、一方、図5は、`ch3`に対応するビット

`ch3bst_lock`のみが「0」の場合を示す。また、各図に示すタイミング中においては、バーストイネーブルレジスタ16Cの各ビット`ch1bst_enb~ch3bst_enb`がすべて「1」に設定された状態とし、したがって、論理積ゲート16Eの出力信号`ch1bst~ch3bst`は、バーストアクセスリクエストに該当する場合に「1」として出力されるバースト信号`bst1~bst3`のそれぞれと同値で示されるものとする。さらに、応答信号`ack`は、RAMコントローラ12Aにより各アクセスリクエスト`req1~req3`が認められたときにハイレベルとなり、メモリアクセス不可などの状態に応じてローレベルとなるが、応答信号`ack`と各アクセスリクエスト`req1~req3`との対応関係を明らかにするために、図中に番号を付記するとともに、説明においては、その番号をパーレン括弧中に示す。

【0034】まず、図4に示すように、バーストアクセスリクエスト(1~4)`req2`が発生し、それに対応するバーストロックレジスタ16Dのビット`ch2bst_lock`が「1」の場合、サンプリング信号`sample_enb`がローレベルとなってプライオリティエンコーダ16Aによる調停動作が不可とされる。その一方、論理積ゲート16Eの出力信号`ch2bst`に遅れてプライオリティエンコーダ16Aからは、バーストアクセスリクエスト(1~4)`req2`を選択した状態を示す選択信号`sel_ch2`が出力される。

【0035】それとともに、サンプリング信号生成回路16Bの`ch2`に対応したロックフラグ生成部16Bbからは、ロックフラグ`ch2_lock`が「1」として出力される。

【0036】これにより、サンプリング信号生成回路16Bは、他のアクセスリクエスト`req1, req3`の割り込みを禁止すべく、サンプリング信号`sample_enb`をローレベルで出力する。

【0037】次に、プライオリティエンコーダ16Aからは、バーストアクセスリクエスト(5~7)`req3`を選択した状態を示す選択信号`sel_ch3`が出力されるとともに、サンプリング信号生成回路16Bの`ch3`に対応したロックフラグ生成部16Bcからは、ロックフラグ`ch3_lock`が「1」として出力され、RAMコントローラ12Aの応答信号`ack`に応じてバーストアクセスリクエスト(5~7)`req3`が受け付けられる。すなわち、バーストアクセスリクエスト(4)`req2`の段階では、当該バーストアクセスリクエスト動作の最後であることから、出力信号`ch2bst`がローレベルとなるのに伴って、サンプリング信号`sample_enb`がハイレベル(応答信号`ack`がハイレベルであることが条件である)となり、次のクロック信号のタイミングで調停動作が可能となる。これにより、アクセスリクエスト(4)`req2`が終了すると同時に、

選択信号 `sel_ch2` に代わって、選択信号 `sel_ch3` が選択され、バーストアクセスリクエスト (5) `req3` が受け付けられる。

【0038】一方、同図に一例として示すように、バーストアクセスに該当しないアクセスリクエスト (12) `req2` の発生中に、他のバーストアクセスリクエスト (8~11) `req1` が重複して発生した場合、プライオリティエンコーダ16Aは、上記とは異なり他のバーストアクセスリクエスト (8~11) `req1` を優先する。つまり、この場合には、優先順位の高いバーストアクセスリクエスト `req1` (8~11) がプライオリティエンコーダ16Aを介してRAMコントローラ12Aにより選択され、それに応じた応答信号 (8~11) `ack` が出力されるのである。

【0039】そして、待ち状態とされたアクセスリクエスト (12) `req2` は、バーストアクセスリクエスト `req1` (8~11) の次にプライオリティエンコーダ16Aを介してRAMコントローラ12Aにより選択され、それに応じた応答信号 (12) `ack` が出力されることとなる。

【0040】さらに、同図に一例として示すように、バーストアクセスに該当しないアクセスリクエスト (17, 22) `req2` の発生中に、他のバーストアクセスリクエスト (18~21) `req1` が発生した場合、プライオリティエンコーダ16Aは、上記と同様に他のバーストアクセスリクエスト (18~21) `req1` を優先する。この場合、プライオリティエンコーダ16Aは、応答信号 (17~22) `ack` で示されるように、アクセスリクエスト (17) `req2` を既に優先させていることから、そのアクセスリクエスト (17) `req2` を中断させた後、他のバーストアクセスリクエスト (18~21) `req1` を割り込ませ、その後、再びバーストアクセスリクエスト (22) `req2` を選択している。

【0041】図5は、バーストアクセスリクエスト `req3` に対応してバースト信号 `bst3` が「1」として出力されるが、バーストロックレジスタ16Dのビット `ch3bst_lock` が常に「0」とされているために、ロックフラグ `ch3_lock` も常に「0」として出力される状態を示したものである。

【0042】この場合、同図に一例として示すように、バースト信号 `bst3` を「1」としたバーストアクセスリクエスト (5, 14) `req3` の発生中に、他のバーストアクセスリクエスト (6~10) `req2`, (11~13) `req1` が発生した場合であれば、プライオリティエンコーダ16Aは、サンプリング信号 `sample_enb` が「1」となる出力レベルに応じて、他のバーストアクセスリクエスト (6~10) `req2`, (11~13) `req1` を割り込ませる。

【0043】要するに、各図に示すタイムチャートから

言えることは、少なくともロックフラグ `ch1_lock~ch3_lock` がすべて「0」である期間中、サンプリング信号 `sample_enb` が「1」となり、プライオリティエンコーダ16Aによる調停動作が可能とされるのである。

【0044】したがって、上記構成、動作を有するファクシミリ装置によれば、バーストアクセスリクエスト `req1~req3` に応じてバーストアクセス動作中、他のアクセスリクエストが発生したときには、各レジスタ16C, 16Dのビット設定に応じて、現時点のバーストアクセス動作を優先させるか否かを任意に切り替えることができる。したがって、ある制御条件下においては、バーストアクセス動作中に、それよりも高優先順位のアクセスリクエストがあっても、バーストアクセスによる高速動作をそのまま続行させることもできし、また、別の制御条件下においては、バーストアクセス動作中に、それよりも高優先順位のアクセスリクエストがあれば、バーストアクセス動作を中止して、高優先順位のアクセスリクエストを割り込ませることもでき、メモリに対するアクセス効率の低下やシステムの破綻を招くことなく、複数のアクセスリクエスト `req1~req3` を巧みに調停することができる。

【0045】なお、本発明は、上記の実施形態に限定されるものではない。

【0046】たとえば、メモリアクセス制御装置としては、ファクシミリ装置に限らず、パーソナルコンピュータの周辺機器や、パーソナルコンピュータそのものであっても良い。

【0047】アクセスリクエストの数は、上記実施形態で示した数に限らず、2以上であれば本発明を適用できる。

【0048】バーストイネーブルレジスタ16Cおよびバーストロックレジスタ16Dは、必ずしもすべての機能（チャネル）に対応して設けなくても良く、すなわち、必要な機能に対応するビットのみを設ければ良い。また、バーストイネーブルレジスタ16C、バーストロックレジスタ16Dのいずれか一方が設けられた構成であっても良い。

【0049】

【発明の効果】以上説明したように、請求項1に記載した発明のメモリアクセス制御装置によれば、バーストアクセスリクエストに応じてバーストアクセス動作中、他のアクセスリクエストが発生したときには、アクセスリクエストの調停動作を可とするか不可とするかの切り替えに応じて、バーストアクセス動作を優先させるか否かを任意に切り替えることができる。したがって、ある制御条件下においては、バーストアクセス動作中に、それよりも高優先順位のアクセスリクエストがあっても、バーストアクセスによる高速動作をそのまま続行させることもできし、また、別の制御条件下においては、バー

ストアクセス動作中に、それよりも高優先順位のアクセスリクエストがあれば、バーストアクセス動作を中止して、高優先順位のアクセスリクエストを割り込ませることもでき、メモリに対するアクセス効率の低下やシステムの破綻を招くことなく、複数のアクセスリクエストを巧みに調停することができる。

【0050】また、請求項2に記載した発明のメモリアクセス制御装置によれば、請求項1に記載のメモリアクセス制御装置による効果に加えて、バーストロックレジスタのビットに応じて、バーストアクセス動作中に他の

アクセスリクエストによるアクセス動作を割り込ませるべきか否かを決定することができる。しかも、バースト信号をマスクするように設定されたチャンネルについて、バーストアクセスリクエストがあっても、シングルアクセスとして処理させるようにすることができるので、他のチャンネルからのアクセスリクエストを優先的に割り込ませることが可能となる。

【0052】また、請求項4に記載した発明の記憶媒体によれば、記憶されたプログラムに基づいてCPUを動作させることにより、請求項1に記載のメモリアクセス制御装置の動作を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るメモリアクセス制御装置の一実施

形態として、ファクシミリ装置の構成を示したブロック図である。

【図2】アクセスリクエストを優先順に調停する回路を示したブロック図である。

【図3】サンプリング信号生成回路の構成を示した回路図である。

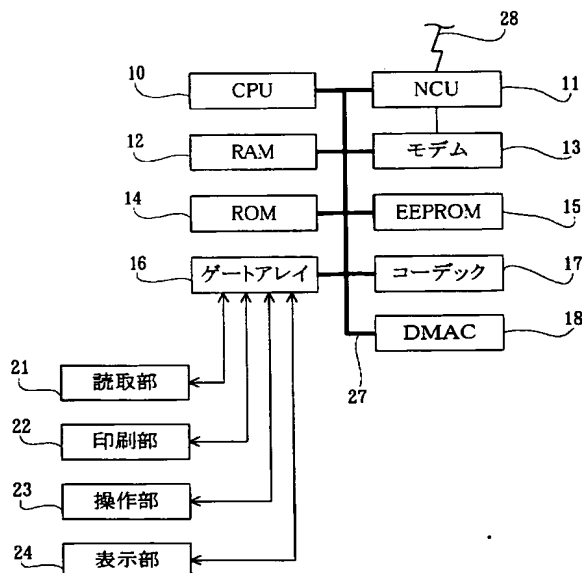
【図4】アクセスリクエストを調停する際に入出力される各種信号のタイミングを示したタイムチャートである。

【図5】アクセスリクエストを調停する際に入出力される各種信号のタイミングを示したタイムチャートである。

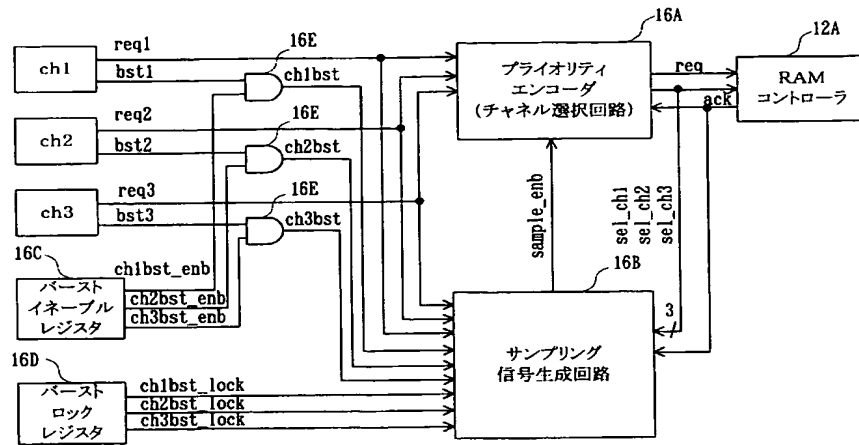
【符号の説明】

10	CPU
11	NCU
12	RAM
13	モデム
14	ROM
15	EEPROM
16	ゲートアレイ
16A	プライオリティエンコーダ
16B	サンプリング信号生成回路
16C	バーストイネーブルレジスタ
16D	バーストロックレジスタ
17	コーデック
18	DMAC
21	読取部
22	印刷部
23	操作部
24	表示部

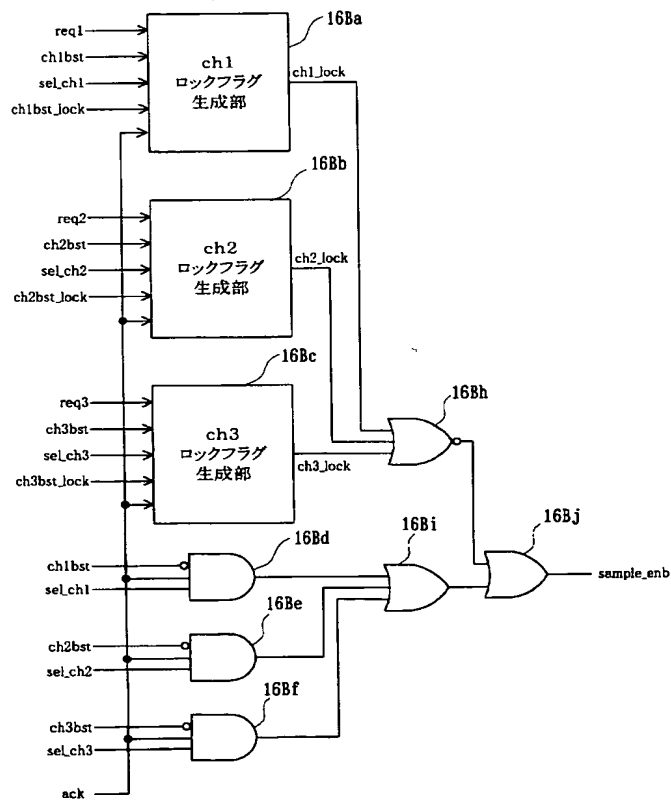
【図1】



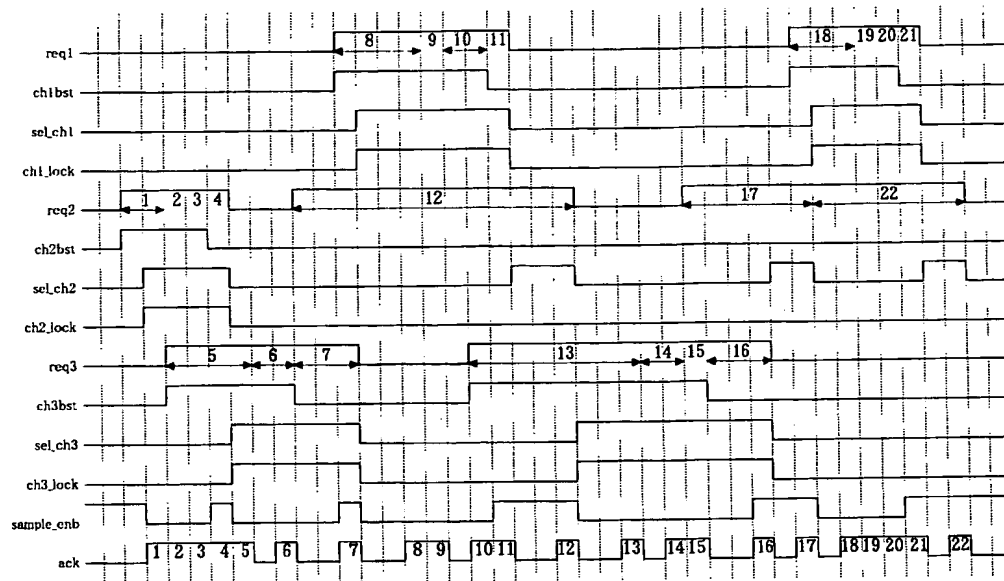
【図 2】



【図 3】



【図 4】



【図 5】

